COMP/\SS

a FormFactor users' group conference



CMOSイメージセンサ向けプローブカードに求められる、信号の 高速化と低電源ノイズ要求に対する最近の取り組みについて

Minoru Mikami, Electrical Design Engineer Formfactor Inc. SPG Group



Agenda

- **1**. Overview
- 2. CIS(CMOS Image Sensor) Probe Card History
- 3. MIPI D-PHY / C-PHY
- 4. D-PHY High Speed Probe Card Experience
- 5. Signal Integrity to Power Integrity
- 6. Power Integrity Simulation
- 7. Future Improvement Probe Card to Test System



Overview

FormFactorでは、CMOSイメージセンサー(CIS)用プローブカードに2006年から取り組んでおります。

これまで、CISの進化に合わせて、プローブカードも進化させてきました。

近い将来、ウエハーテストにおいて、CISの伝送規格、D-PHYからC-PHYへと変換されようとしています。

それに向けたフォームファクターでの取り組みについてご説明いたします。







フォームファクターCIS用プローブカード概要



MEMS Springs on Window MLC(Multi Layer Ceramics) & PCB

CIS(CMOS Image Sensor) Probe Card History

FFI MEMS CIS Probe Card since 2006



CIS ウエハーテストでは、伝送規格の変更時に重複する期間があり、異なるプローブ カードの仕様が要求されました。

今回の伝送規格の変更でも、最終製品はC-PHYのデバイスが、ウエハーテストでは D-PHYでテストされています。

C-PHYでのウエハーテストに向けてプローブカード製作での準備を進めています。

MIPI規格概要

MIPI規格は標準化規格団体MIPI Allianceが 策定した携帯機器内のデータ伝送規格で、 D-PHY, M-PHY, C-PHYの3つの伝送規格があ り、現在一般的にCISで使用されているのは、 D-PHYからC-PHYへ移行されてきています。 今回はCISで使われているD-PHYとC-PHYに ついて簡単に説明いたします。





D-PHYの信号伝送

クロック1レーンとデータレーン(1~4)で1レーンは2本の信号線で構成されています。各 レーンは下図のような差動信号が適応されています。1レーン当たり最大2.5Gbpsに対応して います。





C-PHYの信号伝送

Embedded clock を採用したことにより、クロックレーンが無く複数のデータレーンのみで、1レーン は3本の信号線 (Line A, Line B, Line C)で構成されています。 信号は下図のようにHigh, Middle, Low の3つの値を持ち、A,B,Cはそれぞれ異なる値となります。受信側はA-B, B-C, C-Aの差動信号をつく ります。また、Strong 1, Weak 1, Strong 0, Weak 0という4つの値をもちます。1レーン当たり最大 5.7Gbpsに対応しています。伝送効率は16/7 (2.28) bit/UI



受信側 High-Low=Strong 1 High-Middle = Weak1 Middle-High = Weak 0Middle-Low = Weak 1 Low-High = Strong 0Low-Middle= Weak 0



D-PHY High Speed Probe Card Experience 1



D-PHY High Speed Probe Card Experience 2

Variety of Improvements implemented on D-PHY CIS Probe Card

CISの高速テストに必要な様々な改善

- 設計手法
 - 配線の最適化
 - インピーダンスコントロール
 - MIPI信号線の配線管理
- 部材
 - セラミック基板、PCBA、インターポーザーの最適化



D-PHY規格での3.0Gbpsに対応可能なプローブカードになっております。

Signal Integrity to Power Integrity

CIS用プローブカードでは、信号品質(Signal Integrity/SI)に加えて、

電源品質(Power Integrity/PI)の要求が強くなってきています。

背景としては、

- ハイスピード化
- ピクセルピッチの狭小化
- ・ダイナミックレンジの増大
- デバイスのノイズ対策の進化
- テスト項目の多様化

CIS用プローブカード内での電源品質を向上する工夫を取り入れています。

Power Integrity Simulation

PIの改善に向けて

- プローブカードの現実的な集中定数回路のモデル化

- 3次元要素解析

など、シミュレーションも進化させています。









Power Integrity Improvement 1







PI Measurement and Correlation with Simulation

PIの測定技術の確立と、シミュレーションとの相関

一般的には、シミュレーションの結果と実測値には必ず差異が生じます。

プローブカードの電源特性の実測定も行い、相関を取るようにもしています。



PI Simulation to Design Feedback Cycle

要求される電源特性がより高度になると、設計変更とPIシミュレーションの繰り返しが 発生することにつながります。それを回避するために様々な活動を行っています。

- ・ シミュレーション、モデリングの精度向上
- PIIC影響するパラメータの蓄積
 - バイパスコンデンサの種類、配置、取り回し
 - 電源ラインの取り回し、面積、優先順位
 - 電源ライン、グランド層の関係
- MLC、PCBでの改善



• 問題発生した場合のサイクルタイム低減活動

Future Improvement – Probe Card to Test System

これまでは、お客様とプローブカード単体での改善活動が主でした。

これからは、テスター、プローバー、プローブカードのシステムとしての改善が要求される状況が予想されます。

その際はご協力をよろしくお願いいたします。





Thank You!

For questions, please contact: Minoru Mikami Formfactor Inc. <u>mmikami@formfactor.com</u>

